

[Translation]

(19) Japan Patent Office (JP)

(12) **PATENT ISSUANCE REPORT (A)**

(11) Patent Application Release No.
Patent Release Hei. 3-196536

(43) Release date: August 28, 1991

(51) Int.Cl. ⁵	Identification Symbol	Office Control No.
H 01 L 21/60	302 P	6918-5F
21/66	E	7013-5F

Examination requested: Not yet
Items in Application: 1 (Total 3 pages)

(54) **Name of Invention:** Semiconductor Integrated Circuit Device

(21) Patent Application No.: Hei.1-337429

(22) Application date: December 25, 1989

(72) Inventor: Hiroshi Nishida
c/o NEC Corporation, Ltd.
33-1 Shiba 5-chome, Minato-ku
Tokyo [Japan]

(71) Applicant: NEC Corporation, Ltd.
7-1 Shiba 5-chome, Minato-ku
Tokyo [Japan]

(74) Agent: Susumu Uchihara, Patent attorney

Specifications

Name of Invention: Semiconductor Integrated Circuit Device

Scope of Patent Application: A semiconductor integrated circuit device characterized by being equipped with multiple pads for bonding that are installed on a semiconductor substrate, at least one testing pad installed close to the above-noted bonding pads, and a fuse element that connects the above-noted test pads and bonding pads.

Detailed Explanation of Invention

Field for Commercial Utilization: This invention relates to semiconductor integrated circuits and especially bears on a semiconductor integrated circuit that does tests of electrical traits on semiconductor substrates.

Usual Technology:

Usually, individual semiconductor integrated circuits formed on semiconductor substrates have been rated good or bad by electrical-trait tests done by their being connected to the needle of a probe card having its needle installed in a position facing bonding pads for connecting to external leads formed in a semiconductor substrate. After such graded semiconductor integrated circuit devices have been diced into separate ones, they have been mounted in a package and bonded to the same pads used previously in the electrical-trait tests.

Issues the Invention Seeks to Resolve: The above-described usual semiconductor integrated circuit devices have bonding pads that are identical to the pads doing the electrical trait testing. So, taking into account surface damage to the pads which will cause bonding failures, the number of needle contacts by the probe card are limited to two or three times. Thus, they have the shortcoming that those on which more needle contacts than that cause failure of the integrated circuits and they must be discarded as bad. There is also the shortcoming that when many electrical trait tests are needed on the semiconductor substrate the above-noted testing method cannot be used.

Means to Resolve the Issues: The semiconductor integrated circuit device of this invention is equipped with multiple pads for bonding installed on a semiconductor substrate, at least one of these testing pads installed near the above-noted bonding pads, and fuse elements connecting the above-noted test pads and bonding pads.

Application Example: Next, I will explain this invention while referring to the figures.

Figure 1 is a plane figure of this invention's first application example.

As Figure 1 shows, the first application example consists of bonding pads 3-1~3-12 connected to internal wiring 2 installed on semiconductor substrate 1, test pads 4-1~4-7, installed near bonding pads 3-1~3-7, and it includes fuse elements 5-1~5-7 connected to bonding pads 3-1~3-7 and test pads 4-1~4-7.

Made up this way, the pads that get the larger number of electrical trait tests get tested by using test pads 4-1~4-7; and then after the tests high voltage is applied between bonding pads 3-1~3-7 and test pads 4-1~4-7 to blow fuses 5-1~5-7. Bonding is done with all of bonding pads 3-1~3-12.

Figure 2 is a plane figure of this invention's second application example.

As Figure 2 shows, the second application example has all test pads 4-1~4-12 installed near all bonding pads 3-1~3-12 with all being connected to fuse elements 5-1~5-12.

Figure 3 is a plane figure of this invention's third application example.

As shown in Figure 3, the third application example has a test pad 4-13 set at semiconductor substrate 1's outer end, with bonding pad 3-13 installed at its inner side; and they are connected respectively to fuse element 5-13, while bonding pad 3-13 is connected to internal wiring 2-1.

Note that the bonding pads and test pads need not be made of the same material.

Effects of the Invention: As explained above, by installing the test pads near the bonding pads for connecting to external leads and connecting both types through fuse elements, one can get perfect bonding with the bonding pads even if the test pad surfaces are damaged in the electrical trait tests. This has the effect of enabling multiple electrical trait tests, with the fuse elements destroyed after conclusion of the tests, so that the bonding pads are separated from the test pads. That has the effect of giving a reduced incidental capacity, so that the frequency traits are not weakened.

Simple Explanation of Figures

Figures 1~3 are plane diagrams of this invention's first through third application examples.

1	Semiconductor substrate
2, 2-1	Internal wiring
3-1~3-13	Bonding pads
4-1~4-13	Test pads
5-1~5-13	Fuse elements

Agent: Susumu Uchihara, Patent attorney

⑫ 公開特許公報(A)

平3-196536

⑮ Int. Cl.⁵H 01 L 21/60
21/66

識別記号

3 0 1 P
E

庁内整理番号

6918-5F
7013-5F

⑬ 公開 平成3年(1991)8月28日

審査請求 未請求 請求項の数 1 (全3頁)

⑭ 発明の名称 半導体集積回路装置

⑯ 特 願 平1-337429

⑰ 出 願 平1(1989)12月25日

⑱ 発 明 者 西 田 宏 東京都港区芝5丁目33番1号 日本電気株式会社内
⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号
⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

半導体集積回路装置

特許請求の範囲

半導体基板上に設けられた複数のボンディング用パッドと、少なくとも1つの前記ボンディング用パッドの近傍に設けられた試験用パッドと、これら試験用パッドと前記ボンディング用パッドとを接続するヒューズ素子とを備えたことを特徴とする半導体集積回路装置。

発明の詳細な説明

(産業上の利用分野)

本発明は半導体集積回路装置に関し、特に半導体基板上で電気特性試験を行う半導体集積回路装置に関する。

(従来の技術)

従来、半導体基板上に形成された個々の半導体集

積回路装置は、半導体基板の内部に形成され外部リードと接続するためのボンディング用のパッドに、このパッドと対向する位置に針を設けたプローブカードの針を接続させて行う電気特性試験によって良否を選別していた。こうして選別された半導体集積回路装置は、個々にダイシングされた後、パッケージに搭載され、先に電気特性試験に使用されたパッドと同じパッドにボンディングされていた。

(発明が解決しようとする課題)

上述した従来の半導体集積回路装置は、電気特性試験を行うパッドとボンディングするパッドとが同一となっているので、ボンディング不良を発生する要因となっているパッドの表面損傷を考慮して、パッドにプローブカードの針を接触させる回数は2～3回に限定されており、それ以上に触針を行った半導体集積回路装置は不良として廃棄しなければならない欠点がある。又、半導体基板上で電気特性試験を多数回必要とする場合は上記の試験方法が適用できないという欠点がある。

〔課題を解決するための手段〕

本発明の半導体集積回路装置は、半導体基板上に設けられた複数のボンディング用パッドと、少なくとも1つの前記ボンディング用パッドの近傍に設けられた試験用パッドと、これら試験用パッドと前記ボンディング用パッドとを接続するヒューズ素子とを備えている。

〔実施例〕

次に、本発明について図面を参照して説明する。

第1図は本発明の第1の実施例の平面図である。

第1図に示すように第1の実施例は、半導体基板1上に設けられた内部配線2が接続されるボンディング用パッド3-1～3-12と、ボンディング用パッド3-1～3-7のそれぞれの近傍に設けられた試験用パッド4-1～4-7と、ボンディング用パッド3-1～3-7と試験用パッド4-1～4-7とをそれぞれ接続するヒューズ素子5-1～5-7とを含んで構成されている。

その内側にボンディング用パッド3-13が配置され、それぞれの試験用パッド4-13とそれぞれのボンディング用パッド3-13とはヒューズ素子5-13を介して接続され、ボンディングパッド3-13は、内部配線2-1と接続される。

尚、ボンディング用パッドと試験用パッドは材料、形状が同じである必要はない。

〔発明の効果〕

以上説明したように本発明は、外部リードと接続するためのボンディング用パッドの近傍に試験用パッドを設け、両者をヒューズ素子を介して接続することにより、電気特性試験で試験用パッドの表面が損傷してもボンディング用パッドにより完全なボンディングができるで、電気特性試験を多数回実施できるという効果があり、かつ電気特性試験終了後ヒューズ素子を破壊させてボンディング用パッドと試験用パッドを切り離すことにより、試験用パッドにより付随する容量を低減でき、周波数特性を劣化させないという効果がある。

このように構成して、電気特性試験の回数の多くなるパッドは試験用パッド4-1～4-7を使用して電気特性試験を行い、電気特性試験後はボンディング用パッド3-1～3-7と試験用パッド4-1～4-7との間に高電圧を与えてヒューズ素子5-1～5-7を切断する。ボンディングはすべてボンディング用パッド3-1～3-12に行う。

第2図は本発明の第2の実施例の平面図である。

第2図に示すように、第2の実施例はすべてのボンディング用パッド3-1～3-12それぞれの近傍に試験用パッド4-1～4-12を設け、ボンディング用パッド3-1～3-12と試験用パッド4-1～4-12とをそれぞれヒューズ素子5-1～5-12で接続している。

第3図は本発明の第3の実施例の平面図である。

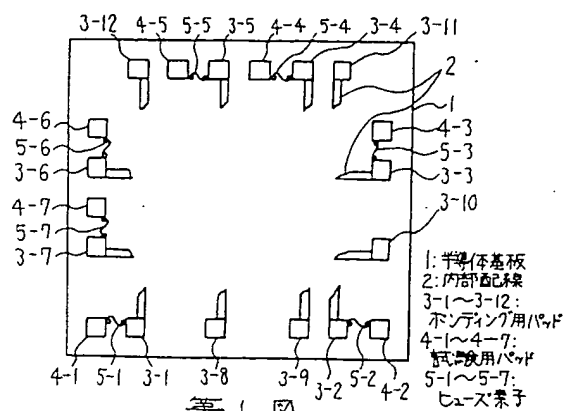
第3図に示すように、第3の実施例は試験用パッド4-13が半導体基板1の外周部に配置され、

図面の簡単な説明

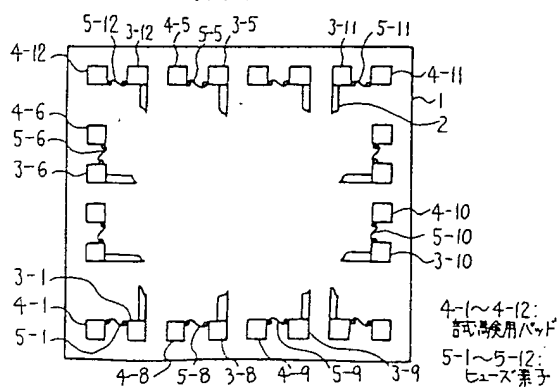
第1図乃至第3図はそれぞれ本発明の第1乃至第3の実施例の平面図である。

1…半導体基板、2、2-1…内部配線、3-1～3-13…ボンディング用パッド、4-1～4-13…試験用パッド、5-1～5-13…ヒューズ素子。

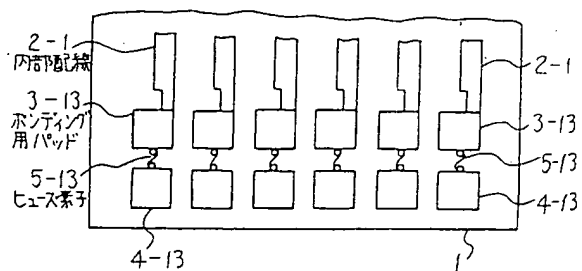
代理人 井理士 内 原 晋



第1図



第2図



第3図